

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-209563

(43)Date of publication of application : 23.08.1989

(51)Int.CI. G06F 15/16  
G06F 15/16

(21)Application number : 63-033965 (71)Applicant : OKI ELECTRIC IND CO LTD

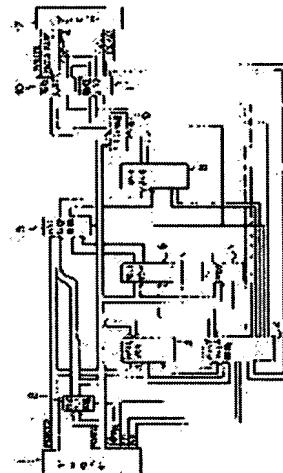
(22)Date of filing : 18.02.1988 (72)Inventor : KIRIHARA MOTONORI

## (54) INTER-PROCESSOR COMMUNICATION SYSTEM

### (57)Abstract:

**PURPOSE:** To avoid the deterioration in data processing efficiency of a 1st processor by performing the transfer of data between a data memory and a 2nd processor while the 1st processor is kept under an access state to a program memory.

**CONSTITUTION:** The data bus and address bus of a data memory 8 are separated from the data and address buses of a processor 1 by an address switching circuit 5 and a data bus switching circuit 9 respectively while the processor 1 is kept under an access state to a program memory 3. Then the output bus of an address counter 6 which produces a prescribed address is connected to the data bus led to another processor 12. Thus the transfer of data is carried out between the memory 8 and the processor 12. As a result, it is not required to stop the working of the processor 1 even in a data transfer mode. Then the deterioration can be avoided for the data processing efficiency.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

Copyright (C); 1998,2003 Japan Patent Office

**THIS PAGE BLANK (USPTO)**

⑨日本国特許庁(JP)

⑩特許出願公開

## ⑪公開特許公報(A)

平1-209563

⑥Int. Cl. 4

G 06 F 15/16

識別記号

310

320

府内整理番号

V-6745-5B

V-6745-5B

⑧公開 平成1年(1989)8月23日

審査請求 未請求 請求項の数 1 (全6頁)

⑤発明の名称 プロセッサ間通信方式

⑦特 願 昭63-33965

⑧出 願 昭63(1988)2月18日

⑨発明者 桐原基範 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑩出願人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

⑪代理人 弁理士 鈴木敏明

## 明細書

## 1. 発明の名称

プロセッサ間通信方式

## 2. 特許請求の範囲

第1および第2のプロセッサ間でデータを転送するプロセッサ間通信方式において、

データを一時格納するデータメモリと、

上記第1のプロセッサが指定する範囲のアドレスを生成して順次出力するカウンタと、

上記カウンタの出力バスと第1のプロセッサからのアドレスバスとを切替えて上記データメモリからのアドレスバスに接続するアドレス切替器と、

上記第2のプロセッサに接続され転送するデータを一時ラッピングするレジスタと、

上記レジスタからのバスと第1のプロセッサからのデータバスとを切替えて上記データメモリからのデータバスに接続するデータバス切替器とを備え、

上記第1のプロセッサがプログラムメモリにアクセス中、上記アドレス切替器とデータバス切替

器とを切替えて上記カウンタの出力バスを上記データメモリからのアドレスバスに接続するとともに上記レジスタからのバスを上記データメモリからのデータバスに接続し、上記データメモリと第2のプロセッサ間で上記レジスタを介してデータ転送を行なうことを特徴とするプロセッサ間通信方式。

## 3. 発明の詳細な説明

## (産業上の利用分野)

本発明は、プロセッサ間でデータを転送するプロセッサ間通信方式に関するものである。

## (従来の技術)

従来、プロセッサ間通信方式として、プロセッサに内蔵されているシリアルポートを介して通信する方式、プロセッサ間を双方向レジスタにより接続し該双方向レジスタを介して通信する方式等が一般に用いられていた。後者の方式は一方のプロセッサが双方向レジスタにデータを書き込み、データ書き込みが行なわれたことを他方のプロセッサに通知すると、他方のプロセッサはその通知を受

けてその双方向レジスタからデータを読出すということを双方向で行なうことによりデータを転送する通信方式である。

(発明が解決しようとする課題)

しかしながら、上記通信方式ではいずれもプロセッサは1バイトごとに書き込み、あるいは読み出し処理を行なう必要があるので、プロセッサ間で転送すべきデータ量が大きくなるとプロセッサの処理時間の殆んどがプロセッサ間のデータ転送のために使用されることとなり、従ってプロセッサのデータ処理効率が大きく低下するという問題があった。

本発明は上記問題点を除去し、プロセッサのデータ処理効率を損うことなくプロセッサ間でデータを転送し得るプロセッサ間通信方式を提供することを目的とするものである。

(課題を解決するための手段)

本発明は、第1および第2のプロセッサ間でデータを転送するプロセッサ間通信方式において、データを一時格納するデータメモリと、上記第1

いる時には、データメモリはフリーの状態にある。本発明はこの点に着目し、プロセッサがプログラムメモリにアクセス中に、上記データメモリと他のプロセッサ間でデータの転送を行なうものである。すなわち、本発明はプログラムメモリアクセスしている間に、データメモリのデータバスとアドレスバスとをプロセッサからのデータバスとアドレスバスとからそれぞれ切離し、所定のアドレスを生成するカウンタの出力バスと他のプロセッサへのデータバスとにそれぞれ接続することにより上記データメモリと他のプロセッサ間でデータ転送を実行するものである。従って、プロセッサはデータ転送中にも動作を停止する必要がないのでデータ処理効率の低下が回避される。

(実施例)

第1図は、本発明の実施例を示すブロック図であつて、1および12はプロセッサ、2はマルチプレックスされているアドレスバスとデータバスとを分離するためにプロセッサ1からのアドレスストローブ信号ALEによりアドレスのみをラッチ

のプロセッサが指定する範囲のアドレスを生成して順次出力するカウンタと、上記カウンタの出力バスと第1のプロセッサからのアドレスバスとを切替えて上記データメモリからのアドレスバスに接続するアドレス切替器と、上記第2のプロセッサに接続され転送するデータを一時ラッチするレジスタと、上記レジスタからのバスと第1のプロセッサからのデータバスとを切替えて上記データメモリからのデータバスに接続するデータバス切替器とを備え、上記第1のプロセッサがプログラムメモリにアクセス中、上記アドレス切替器とデータバス切替器とを切替えて上記カウンタの出力バスを上記データメモリからのアドレスバスに接続するとともに上記レジスタからのバスを上記データメモリからのデータバスに接続し、上記データメモリと第2のプロセッサ間で上記レジスタを介してデータ転送を行なうことを特徴とするプロセッサ間通信方式である。

(作用)

プロセッサがプログラムメモリにアクセスして

するアドレスラッチ回路、3はプロセッサ1用のプログラムが格納してあるプログラムメモリ、8はプロセッサ1または12で処理するデータを格納する読み出し、書き込み可能なデータメモリ、6はデータメモリ8用のアドレスをプロセッサ1から指定されるアドレスを先頭として順次生成するアドレスカウンタ、7はプロセッサ1から指定される転送すべきデータのバイト数に基づいてアドレスカウンタ6の動作を制御するバイトカウンタ、5はアドレスカウンタ6が生成するアドレスとプロセッサ1がデータメモリ8にアクセスするアドレスとを切替えてアドレスメモリ8に送出するアドレス切替回路、9はプロセッサ1からのデータバス、書き込みレジスタからのバスおよび読み出しレジスタからのバスとを切替えてデータメモリ8に接続するデータバス切替回路、10はプロセッサ12からデータメモリ8に書き込むデータを一時ラッチする上記書き込みレジスタ、11はデータメモリ8からプロセッサ1・2に転送するデータを一時ラッチする上記読み出しレジスタ、14は上記アドレ

ス切替回路 5、アドレスカウンタ 6、バイトカウンタ 7、データメモリ 8、データバス切替回路 9、書き込みレジスタ 10、読み出しレジスタ 11を制御するためのタイミングを出力するタイミングコントロール回路である。なお、プロセッサ 1 は第 2 図に示すようにプログラムメモリアクセス信号 PSEN とデータメモリアクセス信号 RD、WR が別々の信号線で出力されるメモリアクセス方法を採用したものである。本実施例はプロセッサ 1 としてインテル社製の 8051 マイクロプロセッサを使用した例であり、該 8051 マイクロプロセッサは 16 ビットのアドレスバスの内下 8 ビットがデータバスとマルチプレックスされているので、上記アドレスラッチ回路 2 を設けている。しかし、アドレスバスとデータバスが完全に分離されたプロセッサであれば当然アドレスラッチ回路 2 は不要である。

第 3 図は第 1 図に示す実施例の動作を説明するためのタイミングチャートであり、第 4 図はプロセッサ 1 のプログラムによる転送コントロールの

アルゴリズムを示すフローチャートである。

次に本実施例の動作を第 1 図、第 3 図および第 4 図に基づいて説明する。第 1 図に示すプロセッサ 1 は、第 3 図に示すようにプログラムメモリ 3 にアクセスするプログラムフェッチャサイクルとデータメモリ 8 にアクセスするデータメモリアクセスサイクルを有し、アドレスストローク信号 ALE、プログラムフェッチャ信号 PSEN、データメモリリード信号 RD、データメモリライト信号 WR、PORT0 からアドレスバスの下位 8 ビット ( $A_0 \sim A_7$ ) とデータバスの 8 ビット ( $D_0 \sim D_7$ ) とをマルチプレックスした信号、PORT2 からアドレスバスの上位 8 ビット ( $A_8 \sim A_{15}$ ) をそれぞれ第 3 図(A)～(E) に示すタイミングで規則的に出力する。PORT0 から出力されるアドレスとデータがマルチプレックスされた信号は、第 1 図に示すアドレスラッチ回路 2 によりラッチされ、アドレスが上記マルチプレックスされた信号から分離される。第 3 図(F) はこの分離されたアドレス ( $A_0 \sim A_7$ ) を示す。

データメモリ 8 に格納されているデータをプロ

セッサ 1 に転送する場合、プロセッサ 1 はまず転送しようとするデータ列が格納されているアドレスの先頭アドレスをデータバスを介してアドレスカウンタ 6 にセットし(第 4 図ステップ①)。上記転送すべきデータ列の長さを示すバイト数をデータバスを介してバイトカウンタ 7 にセットする(第 4 図ステップ②)。続いて、プロセッサ 1 はタイミングコントロール回路 4 に内蔵する転送開始 F/F を第 3 図(G) に示すようにデータメモリリード信号 RD / データメモリライト信号 WR の立下りに合せてデータバスを介してセットする(第 4 図ステップ③)。タイミングコントロール回路 4 は上記転送開始 F/F がセットされると、第 3 図(H) および(I) に示すようなタイミング 1、タイミング 2 を発生する。タイミング 1 は、転送開始 F/F がセットされている場合に、タイミング 1 自身がリセットされているときはアドレスストローク信号 ALE の立下りでセットされ、タイミング 1 自身がセットされているときはアドレスストローク信号 ALE またはデータメモリリード信号 RD / データメ

モリライト信号 WR の立下りでリセットされるよう設定してあるので、第 3 図(H) に示すタイミングで発生することとなる。タイミング 2 は、アドレスストローク信号 ALE とタイミング 1 の AND 条件により発生するよう設定してあるので、第 3 図(I) に示すタイミングでプログラムフェッチャサイクル毎に発生することとなる。タイミングコントロール回路 4 は、発生したタイミング 2 とプロセッサ 1 からのアドレスストローク信号 ALE に基づいて第 3 図(J) に示すようにプログラムフェッチャサイクル毎にアドレス切替タイミングを生成し、アドレス切替回路 5 とデータバス切替回路 9 に出力する。これによりアドレス切替回路 5 はデータメモリ 8 からのアドレスバスをプロセッサ 1 からのアドレスバスから切離してアドレスカウンタ 6 の出力バスに接続し、データバス切替回路 9 はデータメモリ 8 からのデータバスをプロセッサ 1 からのデータバスから切離して書き込みレジスタ 10 または読み出しレジスタ 11 からのバスに接続する。今は、データメモリ 8 からプロセッサ 1 にデータを転

送する場合であるからデータバス切替回路9はタイミングコントロール回路4の指示に基づきデータメモリ8からのデータバスと読出しレジスタ11からのバスとを接続する。タイミングコントロール回路4は、同時にアドレスカウンタ6とペイトカウント7にタイミング信号2を送る。アドレスカウンタ6は既にプロセッサー1から送られている上記先頭アドレス、例えば“m+1”に基づき内蔵するアドレス生成用のカウンタを“m”にセットし待機しているが、上記タイミング2の入力に基づきカウンタ内容をインクリメントしアドレス“m+1”を出力する。アドレスカウンタ6は以後ペイトカウンタ7から動作停止の命令がくるまでタイミング2の入力ごとに上記カウンタの内容をインクリメントし、出力する。ペイトカウンタ7は既にプロセッサー1から送られている転送すべきデータのペイト数、例えば“n”を内蔵するカウンタにセットし待機しているが、上記タイミング2の入力に基づきカウンタ内容をデクリメントし、“n-1”とする。以後、ペイトカウンタ7はタイミング2の一時ラッチするものである。

読出しレジスタ11は、データメモリ8からのデータが書込まれると、第3図(P)に示すように読出しレジスタFULLフラグを立ててプロセッサー12に送るべきデータがセットされていることを知らせる。プロセッサー12はこの読出しレジスタFULLフラグが立ったことを見て、読出しレジスタ11からデータを読み出す。読出しレジスタ11はラッチしたデータが読み取られると上記読出しレジスタFULLフラグをクリアする。タイミングコントロール回路4は上記読出しレジスタFULLフラグがクリアされたことを確認すると次のプログラムフェッチャサイクルで再びデータメモリ8から読出しレジスタ11にデータを転送させる。上記動作はプログラムフェッチャサイクルごとに繰り返され、ペイトカウンタ7のカウンタ内容が“0”となっ

たときに、すなわち、プロセッサー1がプログラムメモリ3をアクセスしているプログラムフェッチャサイクルごとに、その間タイミングコントロール回路4は第3図(S)に示すアドレス切替タイミングによりアドレス切替回路5およびデータバス切替回路9を制御し、データメモリ8からのアドレスバスとデータバスとをプロセッサー1からのアドレスバスとデータバスとからそれぞれ切離してアドレスカウ

トと、すなわち、プロセッサー1から指定された範囲のデータについて全て転送を終えたときタイミングコントロール回路4は次のアドレスストローパ信号ALEの立上がりエッジで転送開始F/Fをクリアし、転送動作の全てを終了する。

以上説明したように、データメモリ8からプロセッサー12へのデータ転送はプログラムフェッチャサイクル時に、プロセッサー1の動作と並行してタイミングコントロール回路4の制御の下で実行するので、プロセッサー1の処理効率を低下させない。

また、プロセッサー12からデータメモリ8にデータを転送する場合も、上記と同様にしてプログラムフェッチャサイクル中にデータ転送を実行することができるので、同様にプロセッサー1の処理効率を低下させない。

また、本発明はプリンタに適用することができる。すなわち、第1図において、プロセッサー1は外部から印字データ(文字データ)や、文字ピッチ指定、改行指令等の制御データを受信し、印字データからイメージデータへの変換算、所定の処

理を行なってプロセッサ2に転送する。プロセッサ2は転送されたデータに基づいてプリンタのモータ、リレー等の機械部分を制御する場合である。

この場合、転送すべきイメージデータは印字データに比べて大量となるが、本発明の適用によりプロセッサ1のデータ処理効率の低下を招くことなく上記データの転送が可能となる。

#### (発明の効果)

以上詳細に説明したように、本発明によれば、第1のプロセッサがプログラムメモリをアクセスしている間に、該第1のプロセッサの動作と並行してデータメモリと第2のプロセッサ間でデータ転送を実行しているので、第1のプロセッサは上記データ転送中に動作を一時停止する必要がない。従って、第1のプロセッサのデータ処理効率は上記データ転送によっては低下することがない。

また、本発明は特に大量のデータを転送する必要がある場合にその効果をより発揮する。

#### 4. 図面の簡単な説明

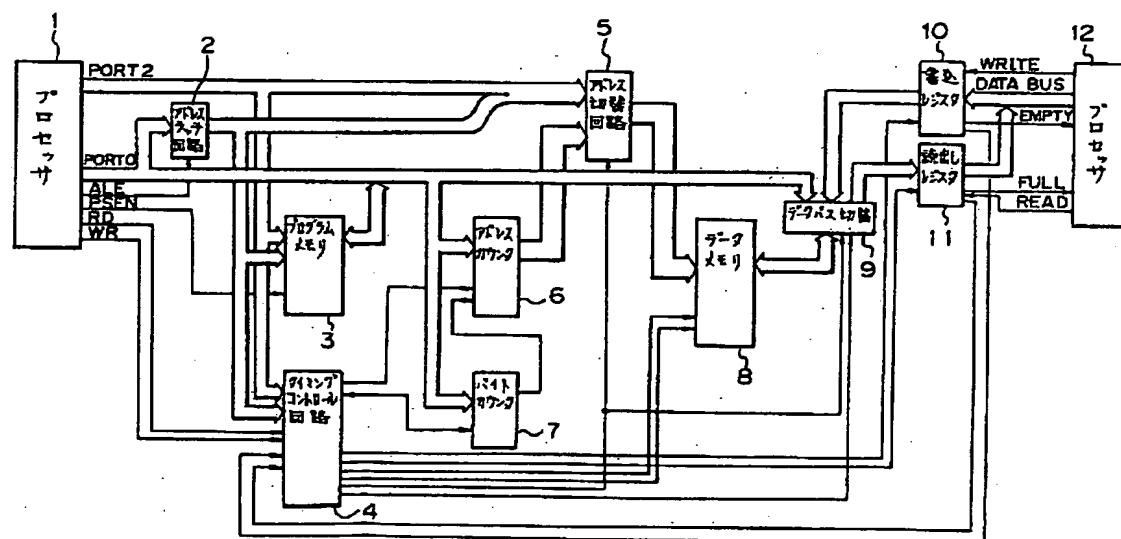
第1図は本発明の実施例を示すブロック図、第

2図はプロセッサのメモリアクセス方法の説明図、第3図は第1図の動作を説明するためのタイミングチャート、第4図はプロセッサの動作を示すフローチャートである。

1, 12…プロセッサ、2…アドレスラッチ回路、3…プログラムメモリ、4…タイミングコントロール回路、5…アドレス切替回路、6…アドレスカウンタ、7…バイトカウンタ、8…データメモリ、9…データバス切替回路、10…書き込みレジスタ、11…読み出しレジスタ。

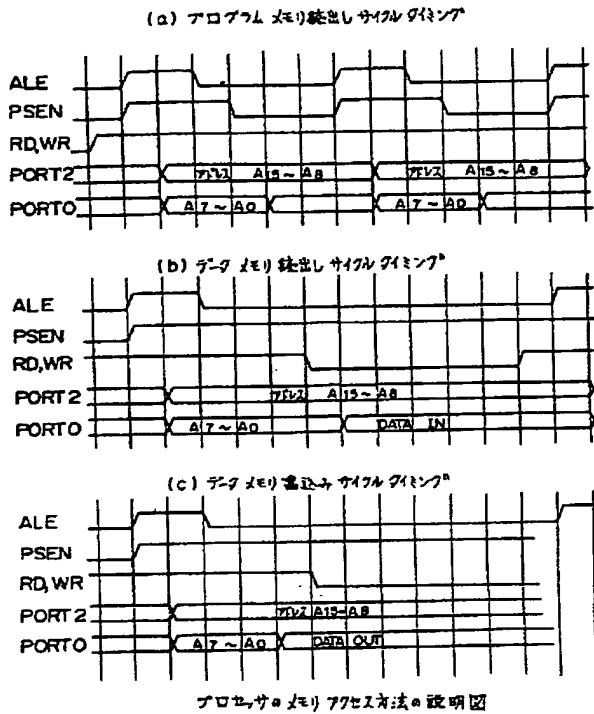
特許出願人 沖電気工業株式会社

代理人 鈴木敏明

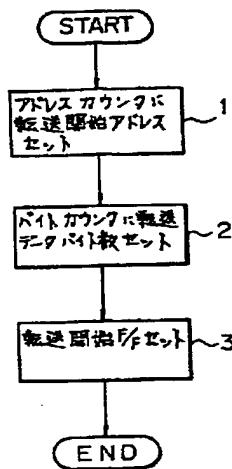


本発明の実施例を示すブロック図

第1図

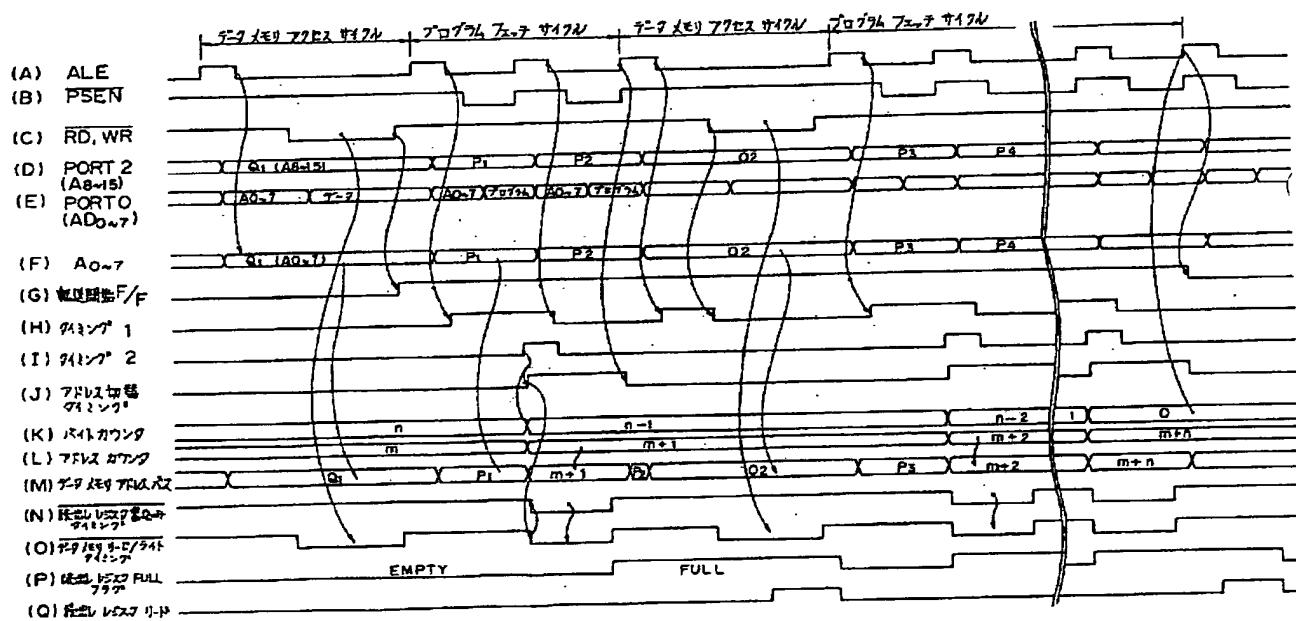


第2図



プロセッサの動作を示すフローチャート

第4図



第3図